

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-024348  
 (43)Date of publication of application : 02.02.1987

(51)Int.Cl.

G06F 13/28

(21)Application number : 60-163768  
 (22)Date of filing : 24.07.1985

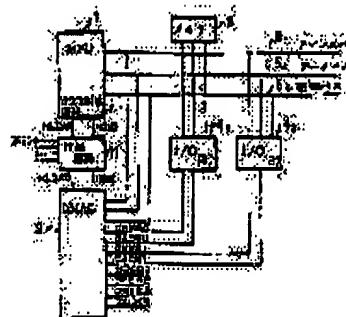
(71)Applicant : FUJITSU LTD  
 (72)Inventor : KASAHARA SHIGERU

### (54) DMA PROCESSING SYSTEM

#### (57)Abstract:

**PURPOSE:** To process a congested DMA processing request at high speed by detecting the next DMA request produced in a DMA processing mode and performing the next DMA processing after the first DMA processing together with a bus use request signal held as it is.

**CONSTITUTION:** An additional circuit 11 is set between a DMAC 2 and the bus arbitrating circuit 1-1 of a microprocessor MPU1. The circuit 11 does not transmit a fact that the bus request HRQ signal to be sent to the MPU1 and holds the signal HRQ as it is if the signal DREQ different from the processing requests DREQ so far executed is turned on when the bus request HRQ given from the DMAC 2 is turned off. Thus it seems that the DMA is continuous. While the bus release executing signal HLDAP is produced artificially so that it is turned off to the DMAC 2. Thus it seems as if the bus release were through. Then the request HRQ is sent to the signal HOLD when the signal HRQ sent from the DMAC 2 is turned on. Then the signal HLDAP is delivered and the DMAC 2 acquires the bus use right.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

④日本国特許庁 (JP) ⑤特許出願公開  
**⑥公開特許公報 (A) 昭62-24348**

⑦Int.Cl.  
G 08 F 13/26

識別記号 厅内整理番号  
A-7185-5B

⑧公開 昭和62年(1987)2月2日

審査請求 未請求 発明の数 1 (全3頁)

⑨発明の名称 DMA処理方式

⑩特 願 昭60-163768  
 ⑪出 願 昭60(1985)7月24日

⑫発明者 笠原茂 川崎市中原区上小田中1015番地・富士通株式会社内  
 ⑬出願人 富士通株式会社 川崎市中原区上小田中1015番地  
 ⑭復代理人 弁理士 田坂豊重

明細書

1.発明の名称 DMA処理方式

2.特許請求の範囲

(1) 情報処理装置の制御下にDMA制御回路を有し、バスを介して複数の入出力装置からのDMA要求を高速処理するシステムにおいて、第1のDMA処理中に第2のDMA要求が発生したことを検知し、前記第1のDMAの処理後にバス使用要求信号を保持したまま第2のDMA処理を行なう手順を設けたことを特徴とするDMA処理方式。

(2) 前記DMA処理手段がDMA制御回路と情報処理装置のバス制御回路との間で授受される信号を抑止および遮断発生する付加回路であることを特徴とする特許請求の範囲第1項記載のDMA処理方式。

3.発明の詳細な説明

(概要)

本発明は情報処理装置の制御下にDMA制御回路を有し、遮断したDMA要求を高速処理するシス

テムにおいて、DMA処理中に発生した次のDMA要求を検知し、最初のDMAの処理後にバス使用要求信号を保持したまま次のDMA処理を行なうようしたものである。

(技術上の利用分野)

本発明は情報処理装置制御下のDMA制御回路で遮断したDMA要求を高速に処理するDMA処理方式に関するものである。

(従来の技術)

従来の情報処理装置の制御下にDMA制御回路を有する従来例を第3図に示す。

同圖において、マイクロプロセッサ(MPU)1の制御下DMA制御回路(DMAC)2を有し、アドレスバス5<sub>1</sub>、データバス5<sub>2</sub>、制御バス5<sub>3</sub>を通してメモリ3と複数のI/O(4<sub>1</sub>, 4<sub>2</sub>, 等[以下省略])が接続される。

いま、I/O(4<sub>1</sub>, 4<sub>2</sub>, 等からランダムにDMAの「処理要求」DRBQ0～3がDMAC2に送られ、処理後応答DACK0～3が返される。

DMA2はDRBQ0～3が通知されると、優先旗

## 特開昭62-24348(2)

位の判断を行ない、DMA 実行中でなければ「バス要求」 HRQ をオンとし、MPU1 に「バス解放」 HLDAD を伝える。MPU1 はバス制御回路 1-1 によりバス解放を行なえるタイミングで「バス解放実行」 HLDAP をオンとし、DMA02 に「バス獲得」 HLDAD を伝え、DMA02 は前述のように I/O(A)41, 地址 4<sub>2</sub> 等へ応答 DACK0～3 のいずれかを出力する。

第 4 図(a)～(d) は、DMA の処理要求の DREQ0 と DREQ1 が連續して到達した場合の処理波形図を示す。

同図に示すように、DREQ0 (a) は DMA02 にとり HRQ (b) を発し、MPU1 に HOLD (c) を伝える。これにより HLDAP (d) を実行し、DMA02 に HLDAD (e) を返して DACK0 (f) が完了し、これが DREQ0 (g) のサイクルとなる。

ここで、DMA02 から MPU1 への HRQ がオフとなつた時、次の DREQ1 が到達している場合、同図(e)～(h) に示すように間隔をかけて、今度は DREQ1 のサイクルが前述と同じように繰返えされる。

う手並を設けるようにしたものである。

## 【作 用】

上記構成により、第 1 の DMA 処理から第 2 の DMA 处理を行なう場合に、第 1 の DMA が終つた時第 2 の DMA 要求が発生している場合には、MPU に対してはバス使用要求信号をそのままにして第 2 の DMA 处理を行なうようにして、バス解放～バス要求～バス獲得の時間を省くことにより、処理の高速化を図ることができる。

## 【実 施 例】

第 1 図は本発明の実施例の構成説明図である。同図で、第 5 図の従来例と異なる点は、MPU1 のバス制御回路 1-1 と DMA02 の間に DREQ0～3 を入力させた付加回路 11 を設けたことである。この付加回路 11 は、DMA02 からの「バス解放」 HRQ がオフとなつた時に、今まで実行した DREQ と異なる DREQ 信号がオンでもると、HRQ 信号がオフとなつたことを MPU1 への「バス解放」 HOLD 信号に伝達せずそのまま抑止し、あたかも DMA が連続しているように見せる。また DMA02 に対して

## 〔発明が解決しようとする問題点〕

従来の DMA 处理要求に対する処理方式としては、メモリからのデータを 1 バイトまたは 1 ワード毎に転送するシングル転送モードと、1 ブロック毎に転送するブロック転送モードがあるが、両者とも異なる DMA 处理要求が発生すると、実行中の DMA 处理から次の DMA 处理を行なう場合に前述のようにバス解放～バス要求～バス獲得のサイクルシーケンスをとるため、高速処理に問題があり、とくにシングル転送モードでは転送時間より前後の処理時間の方が長くなるという欠点があつた。

本発明の目的は DMA 制御回路で構成した DMA 处理要求を高速に処理する方法を提供することにある。

## 〔問題点を解決するための手段〕

前記目的を達成するため、本発明においては、第 1 の DMA 处理中に第 2 の DMA 要求が発生したことを探知し、前回第 1 の DMA 处理後バス使用要求信号を保持したまま第 2 の DMA 处理を行な

は HLDAP がオフとなるよう仮想発生させ、あたかもバス解放が完了したように見せる。このようにして、バス解放～バス要求～バス獲得の手順に要する時間を省くことができる。

次に DMA02 からの HRQ がオフとなつた時は、HRQ を HOLD 信号に伝達し HLDAP 信号を出力し、DMA02 がバス獲得を行なう。

第 2 図(a)～(h) は本発明の動作を示す波形図を示す。

同図(a) DREQ0 →(b) HRQ →(c) HOLD →(d) HLDAP →(e) HLDAD →(f) DACK0 の手順は、DMA02 と MPU1 のバス制御回路 1-1 の間の付加回路 11 を通過するのみで、第 4 図(a)～(d) における第 1 の処理要求のサイクルと同様である。異なるのは処理要求 DREQ0 に引続いて DREQ1 が発生した場合の処理である。すなわち、第 1 の処理要求のサイクルの同図(e)の HRQ がオフとなつた②点において、DREQ1 が検出されると、付加回路 11 からは HOLD (f) をオフとすることなく、オンとして保持して MPU1 のバス制御回路 1-1 に送り、(g) に示すように、

オンのままでの HLDAP が付加回路 11 に出力する。一方、付加回路 11 から DMA02 に対しては HALD AD (6) は 0 で示すように HRQ (6) に対応してオフとする。このように、DMA02 IC に対しては 0 に示すようにバス解放が完了したように見せ、MPU 1 に対しては前記 0, 6 を示すように DMA が前から連続しているように見える。

上記実施例では前記の機能を付加回路 11 により行なつたが、この機能を DMA02 IC 包含して行なわせてもよい。

#### [発明の効果]

以上説明したように、本発明によれば、第 1 の DMA 处理中に第 2 の DMA 要求が発生したことを検知し、前記第 1 の DMA の処理後にバス使用要求信号を保持したまま第 2 の DMA 处理を行なう手順を設けるものである。これにより、第 3 図の (a), (b) の (i), (e), (f) と第 4 図の (a), (b) の (i), (e), (f) と比較して判るように、第 1 の DMA 处理で獲得したバスを解放するととなく第 2 の DMA 处理を行なうから、第 2 の DMA に切替える時にバス解放一バス

#### 特開昭 62-24348(3)

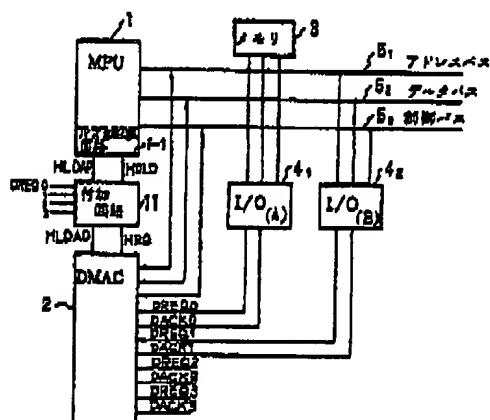
読みに要する時間を省くことができ、处理の高速化が図れる。

#### 4. 図面の簡単な説明

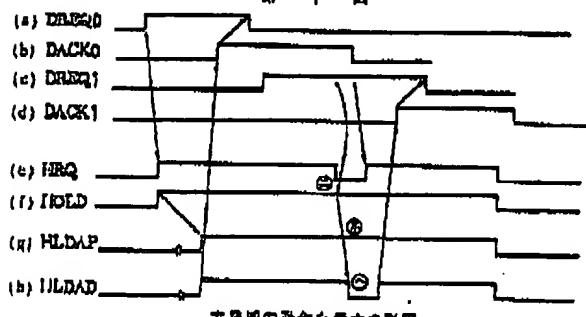
第 1 図は本発明の実施例の構成説明図、第 2 図は本発明の動作を示す波形図、第 3 図は従来例の構成説明図、第 4 図は従来例の波形説明図であり、1 はマイクロプロセッサ (MPU)、1-1 はバス制御回路、2 は DMA コントロール、3 はメモリ、4<sub>1</sub> は I/O、5<sub>1</sub> はアドレスバス、5<sub>2</sub> はデータバス、5<sub>3</sub> は制御バス、11 は付加回路を示す。

特許出願人 富士通株式会社

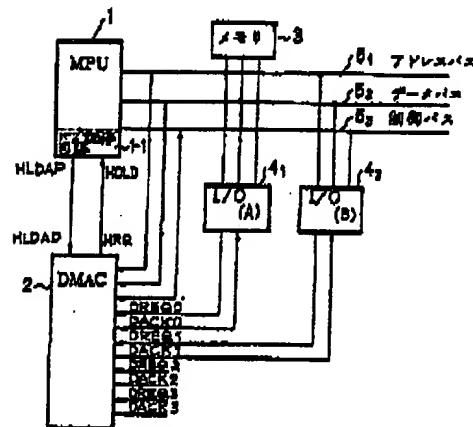
複代理人 井澤士 田坂智也



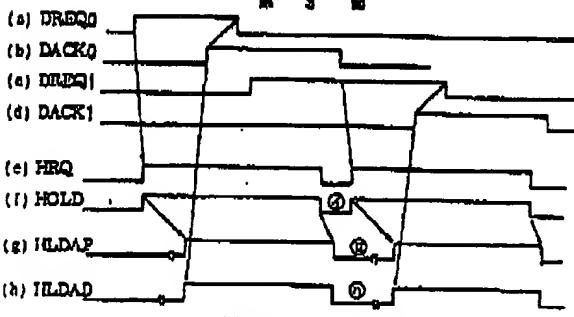
本発明の実施例の構成説明図  
第 1 図



本発明の動作を示す波形図  
第 2 図



従来例の構成説明図  
第 3 図



従来例の動作を示す波形図  
第 4 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**